

Method and circuit arrangement for timeslot reservation in a serial data transfer.

Patent Number: ☐ EP0627865
Publication date: 1994-12-07
Inventor(s): FOTH EGMONT (DE)
Applicant(s):: SEL ALCATEL AG (DE)
Requested Patent: ☐ DE4314790
Application Number: EP19940106532 19940427
Priority Number(s): DE19934314790 19930505
IPC Classification: H04Q11/04 ; H04M11/06
EC Classification: H04Q11/04S1T
Equivalents:

Abstract

To implement different interface conditions in the ISDN subscriber line area or respectively in ISDN subscriber terminals, special integrated circuits, so-called Telecom ICs, are used. To avoid competitive bus situations when at least two modules of these Telecom ICs wish to reserve access at the same time, controllers are needed for controlling and securing the information transmission. A method for reserving time slots by means of a simple circuit arrangement is specified according to the invention. A request for reservation is signalled by a time slot reserving unit (ZRE). A collision detection unit (KEE) checks whether other modules may wish to access the bus and allocates a time slot to the module having the highest priority if an allocation status memory (BZS) has first detected a free time slot. The method can be generally used in serial data transmission and competitive bus situations by means of a very economical

circuit.



Data supplied from the esp@cenet database - I2



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 43 14 790 A 1**

⑤1 Int. Cl.⁵:
H 04 L 29/04
H 04 L 5/22
// H 04 M 11/00

②1 Aktenzeichen: P 43 14 790.9
②2 Anmeldetag: 5. 5. 93
④3 Offenlegungstag: 10. 11. 94

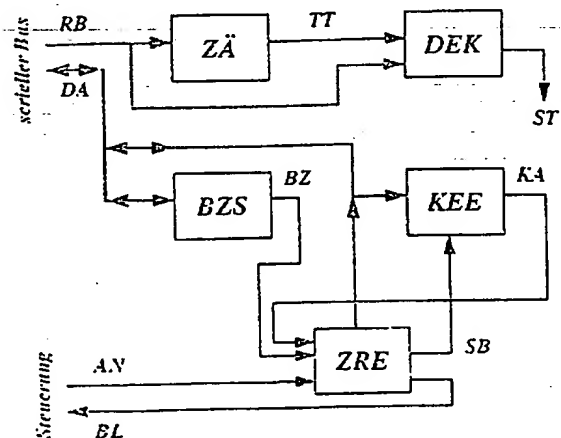
DE 43 14 790 A 1

⑦1 Anmelder:
Alcatel SEL Aktiengesellschaft, 70435 Stuttgart, DE

⑦2 Erfinder:
Foth, Egmont, Dr.-Ing., 7016 Gerlingen, DE

⑤4 Verfahren und Schaltungsanordnung zur Reservierung von Zeitschlitzten bei serieller Datenübertragung

⑤7 Zur Realisierung unterschiedlicher Schnittstellenbedingungen im ISDN-Teilnehmeranschlußbereich beziehungsweise in ISDN-Teilnehmerendgeräten werden spezielle integrierte Schaltkreise, sog. Telecom-ICs, eingesetzt. Um bei gleichzeitigem Reservierungswunsch mindestens zweier Baugruppen dieser Telecom-ICs konkurrierende Bussituationen zu vermeiden, werden zur Steuerung und Sicherung der Informationsübertragung Controller benötigt. Erfindungsgemäß wird ein Verfahren zur Reservierung von Zeitschlitzten mit einer einfachen Schaltungsanordnung angegeben. Ein Reservierungswunsch wird von einer Zeitschlitzreservierungseinheit (ZRE) signalisiert. Eine Kollisionserkennungseinheit (KEE) prüft, ob möglicherweise weitere Baugruppen auf den Bus zugreifen wollen und weist der Baugruppe mit der höchsten Priorität einen Zeitschlitz zu, falls ein Belegungszustandsspeicher (BZS) zuvor einen freien Zeitschlitz erkannt hat. Das Verfahren ist mit einer sehr kostengünstigen Schaltung allgemein bei serieller Datenübertragung und konkurrierenden Bussituationen einsetzbar.



DE 43 14 790 A 1

Das Problem, bestimmte Zeitschlitz für die Datenübertragung zu reservieren, tritt immer dann auf, wenn mehrere Baugruppen oder mehrere Geräte an einen Bus angeschlossen sind und gleichzeitig zwecks Übertragung von Daten auf den Bus zugreifen wollen. Eine solche Konkurrenzsituation entsteht beispielsweise in ISDN-Endgeräten, die integrierte Schaltkreise für die S-Schnittstelle und die U-Schnittstelle enthalten. Um die integrierten Schaltkreise, kurz Telecom-ICs TIC, kostengünstig anbieten zu können, wurden von mehreren Herstellern Standards für die digitale Schnittstelle zwischen verschiedenen Telecom-ICs geschaffen. Häufig angewendet wird die sogenannte IOM-2-Schnittstelle, ISDN Oriented Modular-2-Schnittstelle, vgl. Firmenschrift Siemens: ICs for Communications, IOM-2 Interface Reference Guide, Stand 3.91. Um die allgemein bekannten Telecom-ICs auch einsetzen zu können, wenn konkurrierende IOM-2-Bus-Situationen auftreten, muß für die Steuerung und Sicherung der Informationsübertragung ein Controller vorgesehen werden. In der genannten Quelle wird zwar angegeben, daß die Controller-Funktion von den Telecom-ICs ausgeführt wird, jedoch wird die Lösung nicht beschrieben. Die Kosten der Telecom-ICs werden durch die Controller-Funktion erhöht.

Daraus resultiert die Aufgabe, eine einfache Schaltungslösung für einen Controller anzugeben, die kostengünstig realisierbar ist und mit der handelsübliche Telecom-ICs für konkurrierende IOM-2-Bus-Anwendungen ergänzt werden können.

Diese Aufgabe wird durch das im Anspruch 1 beschriebene Verfahren und durch die im Anspruch 2 beschriebene Schaltungsanordnung gelöst.

Mit logischen Grundsaltungen wird ein Controller realisiert, mit dem mikroprozessorgesteuerte Telecom-ICs bekannter Hersteller ergänzt werden können, um die fehlende Telecom-IC-Bus-Verwaltung zu übernehmen.

Die erfindungsgemäße Lösung wird nachstehend an einem Ausführungsbeispiel erläutert. In der dazugehörigen Zeichnung zeigen

Fig. 1 ein Blockschaltbild der erfindungsgemäßen Schaltungsanordnung und

Fig. 2 ein Zeitdiagramm dreier typischer Signalverläufe.

Gemäß Fig. 1 besteht die Schaltungsanordnung zur Durchführung des Verfahrens zur Reservierung von Zeitschlitz aus einem Belegungszustandsspeicher BZS, einer Zeitschlitzreservierungseinheit ZRE, einer Kollisionserkennungseinheit KEE, sowie einem Zähler ZÄ und einem Dekoder DEK.

Zur Taktversorgung der Baugruppen wird der Zähler ZÄ von dem Rahmentakt und Bittakt, vgl. Fig. 2, angesteuert und liefert Teiltakte TT, mit denen von dem Dekoder DEK bedarfsweise jeder einzelne Zeitschlitz innerhalb eines Rahmens der seriell übertragenen Daten dekodiert werden kann. Damit werden zeitgerechte Steuertakte ST für den Belegungszustandsspeicher BZS, die Zeitschlitzreservierungseinheit ZRE und die Kollisionserkennungseinheit KEE erzeugt.

Mit dem Belegungszustandsspeicher BZS wird in jedem Rahmen der Pegel im Verwaltungsbit-Zeitschlitz, vgl. Fig. 2, gelesen und gespeichert, bis er im nächsten Rahmen aktualisiert wird. Beträgt der Pegel 0, dann gilt der durch dieses Bit verwaltete Zeitschlitz als belegt, bei dem Pegel 1 ist der verwaltete Zeitschlitz frei. Der je-

weilige Zustand wird auf der Belegungszustandsleitung BZ der Zeitschlitzreservierungseinheit ZRE angezeigt.

Liegt von einer Baugruppe ein Reservierungswunsch vor, so wird dieser von einem Anforderungssignal mit dem Pegelwert 1 signalisiert. Ist der verwaltete Zeitschlitz frei, das heißt, die Belegungszustandsleitung BZ liegt auf 1, dann wird von der Zeitschlitzreservierungseinheit ZRE auf der Datenleitung DA im Prioritäts-Zeitschlitz eine festgelegte Prioritätsbitfolge gesendet, beispielsweise die Bitfolge 010. Dabei gilt die Bitfolge 000 als höchste und die Bitfolge 111 als niedrigste Priorität. Auf Grund von Open-Drain-Stufen und eines Pull-up-Widerstandes an der Datenleitung DA setzt sich bei gleichzeitigem Sendebeginn mehrerer erfindungsgemäßer Anordnungen stets der 0-Pegel durch.

Während von der Zeitschlitzreservierungseinheit ZRE erstmals die Prioritätsbitfolge ausgesendet wird, wird gleichzeitig von einem Sendebeginnsignal SB, dessen Dauer gleich der Prioritätszeitschlitzdauer ist, der Kollisionserkennungseinheit KEE signalisiert, daß von dieser geprüft werden muß, ob ein Reservierungswunsch von einer weiteren Baugruppe vorliegt. Dazu wird von der Kollisionserkennungseinheit KEE die eigene Prioritätsfolge, beispielsweise 101, mit der auf der Datenleitung DA lesbaren verglichen. Tritt eine Abweichung auf, dann wird von der Kollisionserkennungseinheit KEE auf der Kollisionsanzeigeleitung KA ein Löschimpuls zu der Zeitschlitzreservierungseinheit ZRE übertragen, und der Sendevorgang wird sofort beendet. In diesem Fall ist der verwaltete Zeitschlitz von einer anderen Baugruppe reserviert worden.

Wird von der Kollisionserkennungseinheit KEE Übereinstimmung der Prioritätsfolgen signalisiert, das heißt, es tritt keine Kollision auf, dann erfolgt im nächsten Rahmen zusätzlich die Aussendung eines 0-Pegels im Verwaltungsbit-Zeitschlitz von der Zeitschlitzreservierungseinheit ZRE. Damit wird weiteren Geräten angezeigt, daß der verwaltete Zeitschlitz nun reserviert ist. Tritt auch innerhalb dieses Rahmens keine Kollision im Prioritäts-Zeitschlitz auf, dann gilt die Reservierung als erfolgreich abgeschlossen und wird von der Zeitschlitzreservierungseinheit ZRE für die Baugruppe mit Reservierungswunsch mittels eines statischen Belegungssignals BL angezeigt. Diese Belegung wird durch den 1-Pegel des Anforderungssignals AN solange aufrechterhalten, bis sein Pegel Null wird. Mit dem Übergang auf den Null-Pegel ist die Reservierung beendet und die Baugruppe darf nicht mehr auf der Datenleitung DA senden. Die Zeitschlitzreservierungseinheit ZRE stellt ebenfalls das Senden ein.

Nach Aufhebung der Reservierung ist es zweckmäßig, erst nach zwei Rahmentakten einen erneuten Reservierungswunsch über das Anforderungssignal AN zuzulassen. Das bewirkt, daß auch niederpriorisierte Baugruppen den verwalteten Zeitschlitz belegen können, da erst nach dem Lesen des Zustandes im ersten Rahmen die Reservierung im zweiten Rahmen erfolgen kann.

Wenn einer Baugruppe die höchste Priorität mit der Bitfolge 000 zugeordnet wird, dann kann die Kollisionserkennungseinheit KEE entfallen, da schaltungstechnisch gesichert ist, daß sich der 0-Pegel immer durchsetzt.

Die Dauer des zu verwaltenden Zeitschlitzes kann beliebig groß sein, praktisch wird sie üblicherweise Vielfache von acht Bits betragen.

Das Verfahren ist auch dann anwendbar, wenn mehr als eine Datenleitung DA vorhanden ist.

1. Verfahren zur Reservierung von Zeitschlitz-
bei serieller Datenübertragung über einen Bus, an
dem mindestens zwei Baugruppen und/oder Gerä-
te angeschlossen sind, die gleichzeitig einen Sende-
wunsch haben können, dadurch gekennzeichnet,
daß

— von einem Belegungszustandsspeicher
(BZS) jeweils der aktuelle Wert von einem auf
einer Datenleitung (DA) empfangenem Zeit-
schlitzverwaltungsbit gespeichert und damit
am Ausgang des Belegungszustandsspeichers
(BZS) auf der Belegungszustandsleitung (BZ)
der Belegungszustand von zu dem Zeitschlitz-
verwaltungsbit korrespondierenden Zeitschlitz-
zen in der seriellen Datenfolge signalisiert
wird,

— von einer Zeitschlitzreservierungseinheit
(ZRE) bei vorliegendem Sendewunsch, der
durch ein aktives externes Anforderungssignal
(AN) angezeigt wird, und bei auf der Bele-
gungszustandsleitung (BZ) angezeigtem freien
Zeitschlitz, die Reservierung des gewünschten
Zeitschlitzes derart vorbereitet wird, daß ei-
nerseits zunächst der Zustand eines Verwal-
tungsbit-Zeitschlitzes abgetastet wird und bei
unbelegtem Zustand im gleichen Zeitrahmen
in einem Prioritäts-Zeitschlitz eine die Priori-
tät festlegende Bitfolge auf der Datenleitung
(DA) gesendet wird und im darauffolgenden
Zeitrahmen die Aussendung des Verwaltungs-
bits und der Prioritätsbits erfolgt und daß an-
dererseits am Ausgang der Zeitschlitzreservie-
rungseinheit (ZRE) ein Sendebeginnsignal
(SB) aktiviert wird,

— von einer Kollisionserkennungseinheit
(KEE) bei anliegendem Sendebeginnsignal
(SB) durch Überwachung der Datenleitung
(DA) die die Priorität festlegende Bitfolge aller
einen Sendewunsch signalisierenden Baugrup-
pen ausgewertet wird und das Ergebnis über
eine Kollisionsanzeigeleitung (KA) der Zeit-
schlitzreservierungseinheit (ZRE) übermittelt
wird,

— von der Zeitschlitzreservierungseinheit
(ZRE), die die höchste Priorität gesendet hat,
die erfolgreiche Reservierung eines Zeitschlitz-
es für die Datenübertragung mittels eines sta-
tischen Belegungssignals (BL) angezeigt und
von ihr solange aufrecht erhalten wird wie das
Anforderungssignal (AN) aktiviert ist, wäh-
rend bei niedriger Priorität sofort das Senden
von Verwaltungsbit und Prioritätsbits einge-
stellt wird,

— zur Taktversorgung, von einem Zähler (ZÄ)
aus dem Rahmen- und Bittakt (RB) der seriel-
len Datenfolge synchrone Teiltakte (TT) er-
zeugt werden, aus denen über einen Dekoder
(DEK) Steuertakte (ST) für den Belegungs-
zustandsspeicher (BZS), die Zeitschlitzreservie-
rungseinheit (ZRE) und die Kollisionserken-
nungseinheit (KEE) abgeleitet werden.

2. Schaltungsanordnung zur Durchführung des
Verfahrens nach Anspruch 1, dadurch gekennzeich-
net, daß der Belegungszustandsspeicher (BZS), an
dessen Eingang die Datenleitung (DA) liegt, mit
einem ersten Eingang der Zeitschlitzreservierungs-

einheit (ZRE) verbunden ist, deren erste Ausgangs-
leitung ebenso wie die Datenleitung (DA) an die
Kollisionserkennungseinheit (KEE) geschaltet sind,
daß der Ausgang der Kollisionserkennungseinheit
(KEE) an einem zweiten Eingang der Zeitschlitzre-
servierungseinheit (ZRE) liegt, deren zweite Aus-
gangsleitung das Belegungssignal (BL) führt und
daß an einem dritten Eingang der Zeitschlitzreser-
vierungseinheit (ZRE) das Anforderungssignal
(AN) liegt.

Hierzu 1 Seite(n) Zeichnungen

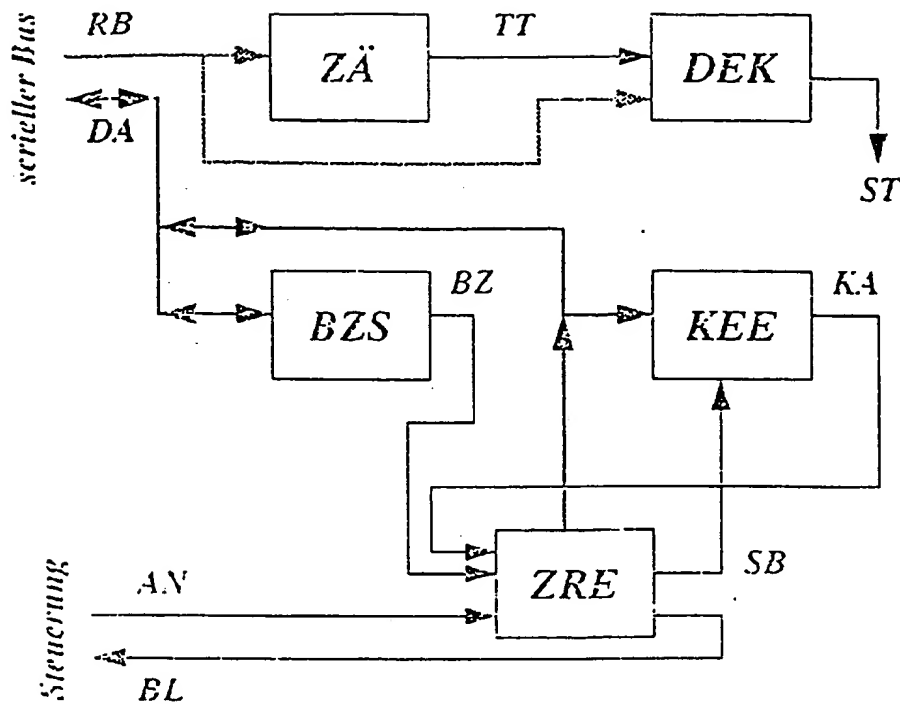
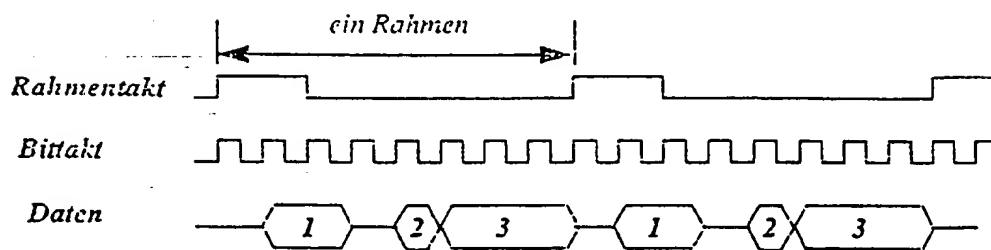


Fig. 1



- 1 - verwalteter Zeitschlitz (z.B. 2 Bit)
- 2 - Verwaltungsbitt-Zeitschlitz (z.B. 1 Bit)
- 3 - Prioritäts-Zeitschlitz (z.B. 3 Bit)

Fig. 2